

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-321287

(43)Date of publication of application : 12.12.1997

(51)Int.Cl.

H01L 29/78

H01L 21/336

H01L 21/225

(21)Application number : 08-133884

(71)Applicant : SONY CORP

(22)Date of filing : 28.05.1996

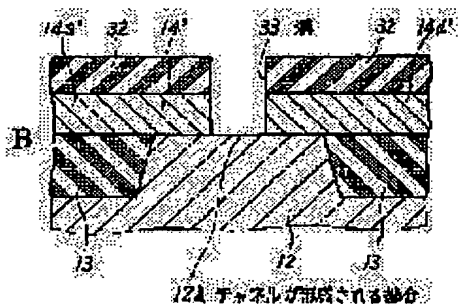
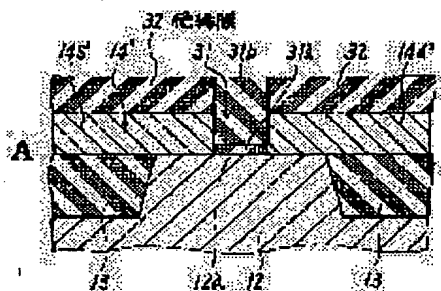
(72)Inventor : ICHIKAWA TSUTOMU

## (54) FABRICATION OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To enhance the characteristics of a semiconductor device by etching only a first insulation layer selectively to make a trench and then forming an insulation layer on the side wall of the trench while a gate insulation layer on the bottom of the trench thereby forming the gate electrode of the trench and suppressing the short channel effect.

**SOLUTION:** A first semiconductor layer, i.e., a substrate 12, is not etched and only the SiO<sub>2</sub> layer 31b and the Si<sub>3</sub>N<sub>4</sub> layer 31a in a gate electrode shape insulation layer 31 are etched selectively to make a trench 33. An insulation layer is then formed on the side wall of the trench 33 and a gate electrode layer is shaped into a gate electrode. An insulation layer 32 is also etched to match the width of the gate electrode thus enhancing the drain current characteristics and the like while suppressing the short channel effect.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

**BEST AVAILABLE COPY**

[Date of requesting appeal against examiner's decision of rejection]

Copyright (C); 1998,2003 Japan Patent Office

[illegible]

1. The first step in the process of determining the value of a company is to identify the company's assets and liabilities. This includes both tangible and intangible assets, as well as any debts or obligations the company has.

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] By said impurity diffusion from the 2nd semi-conductor layer containing the carrier which is accumulated on the part in which said channel of the 1st semi-conductor layer in which a channel is formed is not formed, and forms said channel, and an impurity of the same kind In the manufacture approach of the electric field effect mold semiconductor device of the MIS mold which forms a source field and a drain field into said 1st semi-conductor layer on the semi-conductor layer of the (A) above 1st The 1st insulating layer is formed by the pattern which has large width of face. the width of face by which a gate electrode is formed in the location in which said channel is formed — the specified quantity — (B) — the part in which this 1st insulating layer is not formed — said 2nd semi-conductor layer — forming — (C) — this — the upper part of the 2nd semi-conductor layer — the 2nd insulating layer — forming — (D) — by etching only said 1st insulating layer selectively A slot is formed in the part in which this 1st insulating layer was formed. On the side attachment wall of (E) this slot A side-attachment-wall insulator layer, The manufacture approach of the semiconductor device characterized by forming gate dielectric film so that the part which said 1st semi-conductor layer exposed to the pars basilaris ossis occipitalis of said slot may be covered, and forming said gate electrode in the (F) aforementioned slot.

[Claim 2] The manufacture approach of the semiconductor device according to claim 1 characterized by having the process which carries out patterning of said 2nd semi-conductor layer between the aforementioned (C) process and the aforementioned (D) process or between the aforementioned (D) process and the aforementioned (E) process.

[Claim 3] The manufacture approach of the semiconductor device according to claim 1 or 2 characterized by said gate electrode changing with a semi-conductor.

[Claim 4] The manufacture approach of a semiconductor device given in any of claim 1 characterized by forming said 2nd insulating layer when the upper part of said 2nd semi-conductor layer reacts chemically thru/or claim 3 they are.

[Claim 5] The manufacture approach of a semiconductor device given in any of claim 1 characterized by removing only the 1st insulating layer after said the 1st insulating layer and said 2nd insulating layer have been exposed thru/or claim 4 they are, after making thickness of said 2nd semi-conductor layer thinner than said 1st insulating layer thickness and forming said 2nd insulating layer.

[Claim 6] The manufacture approach of a semiconductor device given in any of claim 1 characterized by preparing the prevention layer containing the carrier which forms said channel, and an impurity of a different kind which prevents a punch-through phenomenon in the interior of said 1st semi-conductor layer in the lower part of said gate oxide thru/or claim 5 they are.

[Claim 7] The manufacture approach of a semiconductor device given in any of claim 1 characterized by silicide-izing the front face of the 2nd semi-conductor layer exposed after the front face of said gate electrode and said gate electrode are formed thru/or claim 6 they are.

[Claim 8] The manufacture approach of a semiconductor device given in any of claim 1 characterized by performing simultaneously shaping of said gate electrode and etching of said 2nd insulating layer thru/or claim 7 they are.

- 5 [Claim 9] The substrate with which said 1st semi-conductor layer is formed is separated by the component isolation region. Said 2nd semi-conductor layer is formed so that it may extend even above this component isolation region. the upper part of said component isolation region — said source field — this — the source electrode joined through the 2nd semi-conductor layer, and said drain field — this — the manufacture approach of a semiconductor device given in any of claim 1 characterized by forming the drain electrode joined through the 2nd semi-conductor layer thru/or claim 8 they are.
- [Claim 10] The manufacture approach of the semiconductor device according to claim 9 characterized by forming said component isolation region by the trench component separation method.
- 

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of the electric field effect mold semiconductor device of the MIS mold made detailed that a short channel effect shows up notably, especially about the manufacture approach of a semiconductor device.

[0002]

[Description of the Prior Art] As for the MOS mold field-effect transistor (it is hereafter indicated as MOSFET) which is the basic component of ULSI (Ultra Large Scale Integrated Circuit) used for DRAM etc., detailed-ization is progressing by the demand of capacity buildup of DRAM etc. For example, in DRAM which has the capacity of 1 gigabit, the minimum processing dimension of a memory cell is set to about 0.13 micrometers, and even if the channel length of MOSFET used for a memory cell is large, he needs to make it about 0.15 micrometers. Moreover, the capacity of DRAM increases further, and in order to be referred to as DRAM of the capacity which is 4 gigabits, 0.1 or less micrometer is needed [ as for the effective channel length of MOSFET ].

[0003] Thus, in MOSFET which has short effective channel length, short channel effects, such as lowering of a punch-through phenomenon and a threshold electrical potential difference and degradation of a subthreshold level property, become remarkable. Therefore, when making MOSFET detailed, it is dramatically important to control this short channel effect, and now, thin-film-izing of an oxide film, the shallow junction of a diffusion layer, etc. occur as an approach of reducing a short channel effect. However, it is actually difficult for an oxide film for there to be a limitation (about 3nm) of thin-film-izing decided by tunneling, and to also set the depth of a diffusion layer to 50 micrometers or less by the ion implantation method.

[0004] then — as the approach of reducing a short channel effect — 1143rd page — the 1146th page of application physics, the 61st volume, and No. 11 (1992) — “ — it accumulates, and accumulates on diffusion layer mold 0.1 micrometer-MOSFET” (Shinichiro Kimura and Eiji Takeda), and the diffusion layer mold MOSFET is indicated. It accumulates, and the diffusion layer mold MOSFET forms shallowly the diffusion layer which serves as the source field S and the drain field D in the silicon substrate 1 between the component detached cores 4 using the impurity diffusion from the impurity diffused layers 2d and 2s which change with this polycrystalline silicon accumulated on the silicon substrate 1 as shown in A and B of drawing 10 . Furthermore, the punch-through stopper 7 with which the impurity of a different kind was doped with the carrier in which the channel for reducing a punch-through phenomenon is formed under the part in which the channel between the drain fields D in [ S ] the silicon substrate 1 of the direct lower part of gate oxide 6 (i.e., a source field) is formed is formed.

[0005] However, although the slot 3 which embeds the gate electrode 8 at the impurity diffused layers 2d and 2s accumulated on the silicon substrate 1 is formed by etching and a different impurity is doped by a silicon substrate 1 and impurity diffused layers 2d and 2s in A of drawing 10 at this time Since it is formed with construction material (silicon) with same silicon substrate 1 and impurity diffused layers 2d and 2s, it is difficult for there to be almost no difference of the etch rate between these, therefore to stop etching by these interfaces. Therefore, in A of drawing 10 , it is not avoided that surface 1a of a

part in which the channel of a silicon substrate 1 is formed is etched. Moreover, at B of drawing 10, in order to diffuse an impurity in the silicon substrate 1 interior from impurity diffused layers 2d and 2s, to form a diffusion layer beforehand and to form the gate electrode 8, by etching a silicon substrate 1 and forming slot 3', this diffusion layer is separated and the source field S and the drain field D are formed. That is, the silicon substrate 1 is etched positively in this case.

[0006] Therefore, structure as shown in A and B of drawing 10 accumulates, and the depth of etching in silicon substrate 1 front face serves as an ununiformity in the diffusion layer mold MOSFET for the heterogeneity within the thickness of polycrystalline silicon, and the wafer side of an etch rate. Therefore, even if it is MOSFET created through the same process, the property will vary. Moreover, it is not avoided that the front face which a silicon substrate 1 is that which was formed by the above-mentioned manufacture approach, and which is etched (this is usually performed in dry etching), and the silicon substrate 1 exposed receives processing breakage as it accumulates and being mentioned above in the diffusion layer mold MOSFET, therefore since it exists in the part in which a channel is formed for the damage in the front face of a silicon substrate 1, it has the problem that where of the property of MOSFETs, such as a drain current characteristic, falls.

[0007]

[Problem(s) to be Solved by the Invention] This invention is made in view of the above-mentioned problem, and can control a short channel effect, and its property of semiconductor devices, such as a drain current characteristic, is good, and let it be a technical problem to offer the manufacture approach of the electric field effect mold semiconductor device of the MIS mold which does not have dispersion in each property.

[0008]

[Means for Solving the Problem] The above technical problem by said impurity diffusion from the 2nd semi-conductor layer containing the carrier which is accumulated on the part in which said channel of the 1st semi-conductor layer in which a channel is formed is not formed, and forms said channel, and an impurity of the same kind In the manufacture approach of the electric field effect mold semiconductor device of the MIS mold which forms a source field and a drain field into said 1st semi-conductor layer on the semi-conductor layer of the (A) above 1st The 1st insulating layer is formed by the pattern which has large width of face. the width of face by which a gate electrode is formed in the location in which said channel is formed — the specified quantity — (B) — the part in which this 1st insulating layer is not formed — said 2nd semi-conductor layer — forming — (C) — this — the upper part of the 2nd semi-conductor layer — the 2nd insulating layer — forming — (D) — by etching only said 1st insulating layer selectively A slot is formed in the part in which this 1st insulating layer was formed. On the side attachment wall of (E) this slot A side-attachment-wall insulator layer, Therefore, the manufacture approach of the semiconductor device characterized by forming gate dielectric film so that the part which said 1st semi-conductor layer exposed to the pars basilaris ossis occipitalis of said slot may be covered, and forming said gate electrode in the (F) aforementioned slot is solved.

[0009] Since a semiconductor device is manufactured by such manufacture approach, there is almost no breakage on the front face of the 1st semi-conductor layer in which a channel is formed, therefore properties, such as the drain current characteristic of a semiconductor device, do not worsen. Moreover, since the front face of the 1st semi-conductor layer is not etched, the property of each semi-conductor layer equipment does not vary. Therefore, a drain current characteristic etc. is good and the semiconductor device suitable for detailed-ization which can control a short channel effect is obtained so much.

[0010]

[Embodiment of the Invention] In this invention, since only the 1st insulating layer is etched selectively, a slot is formed and a gate electrode is prepared in the slot after forming the 2nd semi-conductor layer in the part which forms the 1st insulating layer and by which the 1st insulating layer is not formed on the 1st semi-conductor layer in which a channel is formed, the front face of the 1st semi-conductor layer in which a channel is formed is not etched. Therefore, since the front face of the 1st semi-

conductor layer does not receive breakage, it is the configuration which controls a short channel effect, and properties, such as a drain current characteristic, can obtain a good semiconductor device.

[0011] Furthermore, sheet resistance / wiring resistance of a gate electrode and a source electrode, and a drain electrode can be reduced by silicidizing the front face (this becoming the part joined to aluminum wiring) of the 2nd semiconductor layer exposed after the front face of a gate electrode and a gate electrode are formed.

[0012] Moreover, if the 2nd insulating layer is formed by reacting chemically the upper part of the 2nd semiconductor layer, since the process of making the 2nd semiconductor layer depositing and etching will become unnecessary, the production process of a semiconductor device can be lessened.

[0013] Furthermore, if a channel and the prevention layer containing an impurity of a different kind are prepared in the interior of the 1st semiconductor layer in the lower part of gate oxide, the punch-through phenomenon of a short channel effect can be controlled further.

[0014] Moreover, if it is made to be etched simultaneously, since it is not necessary to also etch the 2nd insulating layer formed in the upper part of the 2nd semiconductor layer by etching at the time of fabricating a gate electrode using a separate etching agent, the production process of a semiconductor device can be lessened.

[0015] Furthermore, if the drain electrode joined to the source electrode joined to a source field and a drain field is prepared through said 2nd semiconductor layer so that it may extend even above the component isolation region which separates each component formed on a substrate, since the source and the plane-of-composition product of a drain, i.e., a junction capacitance, can be lessened, it is possible to make a semiconductor device high accumulation further. Moreover, if a component isolation region is formed with a trench separation method, since the punch-through phenomenon of components can be suppressed, a junction capacitance can be lessened further and the semiconductor device suitable for high integration can be obtained.

[0016]

[Example] Hereafter, each example of this invention is explained with reference to a drawing.

[0017] Although drawing 1 shows the semiconductor device 11 of the 1st example of this invention, this is the MIS mold (MOS mold) field-effect transistor of the N channel which accumulates and has a diffusion layer 14 (a source side accumulates, a diffusion layer is shown in 14s, a drain side accumulates, and the diffusion layer is shown by 14d). In this example, the substrate 12 which is the 1st semiconductor layer is the substrate 12 (namely, semiconductor of P type) which changes with the silicon containing boron (B), forms two or more trench component detached cores 13 here, and is carrying out insulating separation of each component formed on a substrate 12. Although the trench component detached core 13 is narrow, it builds a trench (trench) on a substrate front face, and a frontage is SiO<sub>2</sub> to the slot. It is structure effective for reducing the punch-through phenomenon which is buried, and it changes and is produced among each components. However, the trench component detached core 13 shortens the die length of a lengthwise direction, and shows it by a diagram.

[0018] In the upper part of partial 12a in which the channel of a substrate 12 is formed, it is SiO<sub>2</sub>. Although the becoming gate oxide 18 is formed and the gate electrode 16 which becomes with polycrystalline silicon is formed in the upper part, since resistance is high, as for polycrystalline silicon, it dopes phosphorus (P) or an arsenic (As) as an impurity by this example, for example, and the gate electrode 16 is formed with the semiconductor of the N type of low resistance. Moreover, it extends and accumulates even on the trench component detached core 13, and the diffusion layer 14 is formed in the upper part of a part in which a channel is not formed on the top face of a substrate 12. It is an N-type semiconductor layer containing the carrier with which it accumulates, and a diffusion layer 14 consists of this silicon with which phosphorus (P) or an arsenic (As) was doped as an impurity, namely, a channel is formed, and an impurity of the same kind. Since the source field S1 and the drain field D1 are formed in the upper part of a substrate 12 when [ this ] it accumulates and the impurity from a diffusion layer 14 is spread in a substrate 12, the source field S1 and the drain field D1 are formed in the location which a substrate 12 accumulates and contacts a diffusion layer 14, and its near. Furthermore, the

punch-through stopper 19 is caused formed between the source field S1 and the drain field D1 rather than partial 12a in which a channel is formed. In this punch-through stopper 19, with the carrier which forms a channel, and an impurity of a different kind, i.e., this example, boron (B) is doped, for example and the punch-through phenomenon produced between the source field S1 and the drain field D1 by this is controlled. In addition, a punch-through phenomenon is better controlled so that the high impurity concentration of this punch-through stopper 19 is high, but since a channel is formed in the upper part of the punch-through stopper 19, high impurity concentration of a gate field cannot be enlarged so much.

[0019] the silicide layers 22 [ 21 and ] 2 which accumulated and were silicide-ized by the top face of a diffusion layer 14, and the up periphery of the gate electrode 16 by Ti or Co, i.e., TiSi<sub>2</sub> Or CoSi<sub>2</sub> from — the silicide layers 21 and 22 which change are formed. In addition, in drawing, 21d shows the silicide layer by the side of a drain for the silicide layer by the side of the source for 21s. These silicide layers 21 and 22 are accumulated and reduce the sheet resistance / wiring resistance of a diffusion layer 14 and the gate electrode 16. In addition, the source field S1 and the drain field D1 which were formed in the substrate 12 were accumulated, and are joined to the aluminum wiring 27d and 27s through a diffusion layer 14, the silicide layer 21, and the plugs (it is hereafter indicated as W plug) 24d and 24s that were embedded at beer hall 23a of the interlayer insulation film 23 which becomes by PSG (Phospho-silicate Glass; silicon oxide containing phosphorus) and that change, for example with a tungsten. In addition, 28 and 29 are insulator layers and this has become a part of layer insulation layer.

[0020] The semiconductor device 11 manufactured by the manufacture approach of this invention is explained with reference to drawing 2 thru/or drawing 6 about the manufacture approach of this semiconductor device 11, although it has a configuration which was mentioned above next.

[0021] First, as shown in drawing 2 , the field which forms two or more trench component detached cores 13, and forms the semiconductor device (it mentioned above in this example like MIS mold field-effect transistor of an N channel) which is a component is set to the substrate 12 which changes with silicon. Next, Si<sub>3</sub>N<sub>4</sub> with a thickness of about 10nm SiO<sub>2</sub> [ with a layer 31a and a thickness of about 200nm ] The gate electrode configuration insulator layer 31 which consists of two layers of layer 31b is made to deposit by continuation membrane formation of plasma CVD etc. In addition, although two insulator layers were formed as the 1st insulating layer in this example For this, the trench component detached core 13 is SiO<sub>2</sub>. It is SiO<sub>2</sub> so that it may mention later, since it changes. When etching layer 31b It is Si<sub>3</sub>N<sub>4</sub> so that over etching of this trench component detached core 13 may not be carried out. The layer was prepared. Component isolation region SiO<sub>2</sub> It is Si<sub>3</sub>N<sub>4</sub> on the trench component detached core 13 when film decrease can consider as tolerance. When the laminating of the film is being carried out, the 1st insulating layer is SiO<sub>2</sub>. You may make it form only by layer 31b.

[0022] Next, using a well-known photolithography technique and a dry etching technique, as shown in B of drawing 2 , the gate electrode configuration insulator layer 31 which is the 1st insulating layer The width of face of the gate electrode 16 which accumulates on the partial 12a top, i.e., the location in which the gate electrode 16 is formed, in which the channel of a substrate 12 is formed, and is embedded between diffusion layers 14 in it, The gate electrode configuration insulator layer 31 is fabricated so that it may become the width of face which doubled the width of face of the side-attachment-wall insulator layer 15 for accumulating with the gate electrode 16 and insulating a diffusion layer 14. namely, the width of face by which the gate electrode 16 will be formed on the pattern with which the gate electrode 16 should be formed if it sees superficially — the thickness grade of the side-attachment-wall insulator layer 15 — the gate electrode configuration insulator layer 31 is formed by big width of face. As shown in A of drawing 3 , next, semi-conductor layer 14' (2nd semi-conductor layer) which changes with polycrystalline silicon or an amorphous silicon For example, it is made to deposit in reduced pressure CVD etc. more than the thickness of the gate electrode configuration insulator layer 31. SiO<sub>2</sub> Semi-conductor layer 14' of the upper part of the gate electrode configuration insulator layer 31 is removed using the flattening technique in which the CMP (Chemical Mechanical Polish; chemical machinery polish) technique which used film 31b as the stopper layer or a resist etchback technique etc. is well-known. Furthermore, with a dry etching technique, semi-conductor layer 14' is thin-film-ized in



thickness of about 100nm, as shown in B of drawing 3 . this — the time — a semi-conductor — a layer — 14 — ' — the source — a side — accumulating — a diffusion layer — 14 — s — forming — a semi-conductor — a layer — 14 — s — ' — a drain — a side — accumulating — a diffusion layer — 14 — d — forming — a semi-conductor — a layer — 14 — d — ' — being divided — forming — having — \*\*\*\* . And the ion implantation of an arsenic (As) is performed and let phosphorus (P) be the semi-conductor layer of N type at this semi-conductor layer 14'.

[0023] Next, it is Si<sub>3</sub>N<sub>4</sub> to the upper part of semi-conductor layer 14'. The insulator layer 32 which changes For example, make about 100nm or more deposit, and the same technique as the time of forming semi-conductor layer 14' is used. That is, as the insulator layer 32 deposited on the upper part of the gate electrode configuration insulator layer 31 is removed using a flattening technique which was mentioned above and it is shown in A of drawing 4 , it is the top face 2 of the gate electrode configuration insulator layer 31, i.e., SiO<sub>2</sub>. The top face of film 31b is exposed.

[0024] And it is not etched but the substrate 12 which becomes next with the silicon which is the 1st semi-conductor layer is SiO<sub>2</sub> of the gate electrode configuration insulator layer 31. Film 31b and Si<sub>3</sub>N<sub>4</sub> Only layer 31a is etched selectively, and as shown in B of drawing 4 , let the part in which the gate electrode configuration insulator layer 31 was formed be a slot 33. That is, it is SiO<sub>2</sub> first by the dry etching using the gas of HF system for example. It is Si<sub>3</sub>N<sub>4</sub> by the wet etching using [ etch film 31b and ] H<sub>3</sub>PO<sub>4</sub> (hot phosphoric acid) 150 degrees C or more continuing. Film 31a is etched. At this example, it is this Si<sub>3</sub>N<sub>4</sub>. Since hot phosphoric acid was used when etching film 31a, the front face of partial 12a in which the channel of the front face of a substrate 12 in which the substrate 12 with which a channel is formed is not etched into, therefore a channel is formed is formed, i.e., the pars basilaris ossis occipitalis of a slot 33, does not receive breakage. In addition, it is that which becomes some interlayer insulation films for the insulator layer 32 of the 2nd insulating layer accumulating with the gate electrode 16, and insulating a diffusion layer 14 ( drawing 1 is shown by 28). In case only the gate electrode configuration insulator layer 31 which is the 1st insulating layer is etched selectively, an insulator layer 32 may be etched somewhat, but it is desirable to make the 1st insulating layer and 2nd insulating layer form with different construction material so that an insulator layer 32 may not be etched altogether.

[0025] next — being well-known — a photolithography — a technique — dry etching — a technique — using — a semi-conductor — a layer — 14 — ' — the upper part — preparing — having — \*\*\*\* — an insulator layer — 32 — and — a semi-conductor — a layer — 14 — ' — patterning — carrying out — drawing 5 — B — being shown — having — as — accumulating — a diffusion layer 14 — fabricating . In this example, since the W plugs 24d and 24s used as a source electrode and a drain electrode are formed above the trench detached core 13 in order to lessen a plane-of-composition product, it accumulates, and a diffusion layer 14 is formed so that it may extend even above the trench detached core 13.

[0026] And as shown in B of drawing 5 , it is SiO<sub>2</sub> to the side attachment wall of a slot 33. Or Si<sub>3</sub>N<sub>4</sub> It changes, for example, the side-attachment-wall insulator layer 15 with a thickness of about 75nm is formed. This side-attachment-wall insulator layer 15 is obtained by giving strong directivity to the film deposited like [ a coverage is good and / the vertical level difference section ] the flat part, and carrying out thickness extent etching by CVD, first, only in a lengthwise direction. Therefore, in case the side-attachment-wall insulator layer 15 is formed, patterning was carried out, it accumulates and insulator layer 29' is formed also in a diffusion layer 14 and the side attachment wall of an insulator layer 32. After forming this side-attachment-wall insulator layer 15, since the carrier which forms a channel in the exposed part of the substrate. 12 which is the pars basilaris ossis occipitalis of a slot 33 by using this side-attachment-wall insulator layer 15 as a mask, and an impurity of a different kind and the semiconductor device of this example have the channel of N type, they pour in the ion of boron (B), for example, and form the punch-through stopper 19. Then, a well-known ingredient is used for the front face of the substrate 12 which the slot 33 exposed, and it is SiO<sub>2</sub>. The gate oxide 18 which changes is formed. As the above-mentioned conventional example described, this gate oxide 18 is good but to

make it very thin, in order to control a short channel effect, and in order not to make tunneling cause, it is required to make it the thickness of 3nm or more.

[0027] Next, the gate electrode layer which changes with semi-conductors, such as polycrystalline silicon or an amorphous silicon, is made to deposit by the thickness of about 150nm. Furthermore, this gate electrode layer is fabricated to the gate electrode 16 using a well-known photolithography technique and a dry etching technique. namely, CF<sub>4</sub> after performing a resist coat, mask exposure, development, and post\*\*—KU etc. — a gate electrode layer is fabricated by the dry etching using gas to the gate electrode 16. At this time, an insulator layer 32 and 29' are also etched according to the width of face of the gate electrode 16, and it becomes the insulator layers 28 and 29 shown by A of drawing 6 . In this example, by using an etching agent (it being CF<sub>4</sub> at this example gas) into which an insulator layer 32 is also etched, an insulator layer 32 and 29' are simultaneously etched, in case the gate electrode 16 fabricates. After becoming this configuration, as pour in ion, such as phosphorus (P) or an arsenic (As), perform suitable heat treatment, for example, RTA annealing etc., and activate the impurity which carried out the ion implantation at the above-mentioned process, and accumulate on the gate electrode 16, it is made to diffuse the impurity of a diffusion layer 14 in a substrate 12 and it is shown in it at A of drawing 6 , the source field S1 and the drain field D1 are formed.

[0028] next, the gate electrode 16 which becomes with silicon in order to reduce sheet resistance / wiring resistance — and it accumulates and the front face of a diffusion layer 14 is made to silicide-ize by Ti or Co using a well-known technique For example, after heat-treating by having made Ti, Co, etc. deposit on all the front faces of the semiconductor device used as the configuration shown in A of drawing 6 and making Silicon Ti and Co react, the part by which an insulator layer 28 top etc. is not silicide-ized forms the silicide layers 21 and 22 as removed by wet etching etc. and shown by B of drawing 6 .

[0029] And it is SiO<sub>2</sub> next. Si<sub>3</sub> N<sub>4</sub> The layer insulation layer 23 which changes is made to deposit, beer hall 23a is formed, the W plugs 24d and 24s are embedded at this beer hall 23a, the aluminum wiring 27d and 27s is formed in the upper part of the W plugs 24d and 24s and the layer insulation layer 23, and the semiconductor device 11 as shown by drawing 1 is completed.

[0030] Although the semiconductor device 11 of this invention is formed as mentioned above In this invention, the gate electrode configuration insulator layer 31 is previously formed above the location in which the channel of a substrate 12 is formed. By etching only the gate electrode configuration insulator layer 31 selectively, without etching the substrate 12 with which a channel is formed, after forming semi-conductor layer 14' and the insulator layer 32 which accumulate after that and serve as a diffusion layer 14 A drain current characteristic does not deteriorate without [ therefore ] the front face of the substrate 12 produced when forming the slot 33 for forming the gate electrode 16 conventionally receiving breakage, since the slot 33 for forming the gate electrode 16 was formed. Moreover, since the front face of a substrate 12 does not receive breakage, the property of each semiconductor device 11 does not vary.

[0031] furthermore, in this example, after the front face of the gate electrode 16 and the gate electrode 16 are formed, it has exposed — since it accumulated and the front face of a diffusion layer 14 was silicide-ized, sheet resistance / wiring resistance can be reduced.

[0032] Moreover, in this example, since the channel and the punch-through stopper 19 containing an impurity of a different kind were formed in the interior of a substrate 12 in the lower part of gate oxide 18, the punch-through phenomenon which is one of the short channel effects can be controlled further.

[0033] Furthermore, if it is made to be etched simultaneously, since it is not necessary to also etch an insulator layer 28 by etching at the time of fabricating the gate electrode 16 using a separate etching agent, the production process of a semiconductor device can be lessened.

[0034] Moreover, accumulate so that it may extend even above the trench component detached core 13 which separates each component formed on a substrate 12, and a diffusion layer 14 is formed. Since the W plugs 24d and 24s (that is, this is equivalent to a source electrode and a drain electrode) were formed above this trench component detached core 13 It can consider as the configuration which can lessen

the source and the plane-of-composition product of a drain, i.e., the junction capacitance of a semiconductor device 11, therefore is further suitable for high accumulation.

[0035] Next, although the manufacture approach of the semiconductor device of the 2nd example is explained with reference to drawing 7 and drawing 8, about the same thing as the 1st example, the sign is attached and the explanation is omitted.

[0036] The semiconductor device of the 2nd example is carrying out the completely same configuration as the semiconductor device 11 of the 1st example of the above, and an insulator layer 28 is merely Si<sub>3</sub>N<sub>4</sub>. Not but, SiO<sub>2</sub> Changing differ. The substrate 12 (this example) first separated by the trench component detached core 13 by the manufacture approach of the semiconductor device of the 2nd example Upwards this is the 1st semi-conductor layer, and it is Si<sub>3</sub>N<sub>4</sub> with a thickness of about 200nm. A layer is made to deposit. This Si<sub>3</sub>N<sub>4</sub> A well-known photolithography technique and an etching technique are used for a layer. the pattern top with which the gate electrode 16 is formed like A of drawing 2 of the 1st example of the above — the gate electrode 16 — thickness extent of the side-attachment-wall insulator layer 15 — it etches into thick width of face, and gate electrode configuration insulator layer 31' which is the 1st insulating layer is fabricated (this is shown in A of drawing 7 ).

[0037] Next, the semi-conductor layer 34 (this is the 2nd semi-conductor layer of this example) which changes with polycrystalline silicon or an amorphous silicon is made to deposit, like the 1st example, the semi-conductor layer 34 which the top face of gate electrode configuration insulator layer 31' deposited using the flattening technique is removed, the semi-conductor layer 34 is thin-film-ized, and it is made mostly exposed [ the top face of gate electrode configuration insulator layer 31' ]. In addition, the semi-conductor layer 34 is divided into 34s of semi-conductor layers by the side of the source, and 34d of semi-conductor layers by the side of a drain at this time.

[0038] next, by thermal oxidation, the upper part of the semi-conductor layer 34 is oxidized, and it is shown in A of drawing 8 — as — SiO<sub>2</sub> [ for example, / with a thickness of about 100nm ] from — the insulator layer 32 (it is equivalent to the 2nd insulating layer) which changes is formed. That is, in this example, semi-conductor layer 14' and an insulator layer 32 are formed from the semi-conductor layer 34. And a slot 33 is formed, as only gate electrode configuration insulator layer 31' formed previously is etched by the wet etching using H<sub>3</sub>PO<sub>4</sub> (hot phosphoric acid) 150 degrees C or more and is shown in B of drawing 8, without etching a substrate 12.

[0039] Since the configuration of the semiconductor device shown in B of drawing 8 is completely the same as that of B of drawing 4 of the 1st example and the process after this of the 2nd example is completely the same as the process after B of drawing 5 of the 1st example of the above, the explanation is omitted. In addition, although this example did not describe using as N type semi-conductor layer 14' which accumulates and changes with a diffusion layer 14 the source field S1 and the drain field D1 — this, since it accumulates and is formed by the impurity diffusion from a diffusion layer 14 Like semi-conductor layer 14' of the above-mentioned example, after forming the front stirrup which forms an insulator layer 32, it is required for the semi-conductor layer 34 to carry out ion doping of the carrier with which a channel is formed, an impurity (P) of the same kind, for example, phosphorus, or the arsenic (As), and to use a semi-conductor layer as N type.

[0040] In this example, effectiveness since the 2nd insulating layer is formed by making the upper part of the 1st semi-conductor layer oxidize thermally, that it not only does so the effectiveness of the 1st example of the above, but the 2nd insulating layer is made to deposit, the process of making this etch becomes unnecessary and the production process of a semiconductor device can be made fewer than the 1st example can be done so.

[0041] As mentioned above, of course based on the technical thought of this invention, various deformation is possible for this invention, although each example of this invention was explained, without being limited to these.

[0042] For example, although the substrate 12 was used in the above-mentioned example as 1st semi-conductor layer in which a channel is formed, it is good though it is equivalent to the 1st semi-conductor layer in the well prepared in the substrate.

[0043] Moreover, although considered as the semi-conductor layer which contains the impurity of N type by annealing a semi-conductor layer after ion doping in the above-mentioned example, in case a semi-conductor layer is formed, you may form as film which contains the impurity of N type. Moreover, although RTA annealing was used as suitable heat treatment when activating and diffusing an impurity, of course, it cannot be overemphasized that other approaches may be used.

[0044] Furthermore, it is CF<sub>4</sub> in case only the 1st insulating layer is selectively etched in the above-mentioned example. Although gas and hot phosphoric acid were used, you may etch only using hot phosphoric acid, and anything may be used as long as it is the etching agent which etches only the 1st insulating layer, without the front face of the 1st semi-conductor layer in which a channel is formed receiving breakage.

[0045] Furthermore, although flattening and etching were performed in the above-mentioned example so that the height of the 1st insulating layer and the 2nd semi-conductor layer, and the 2nd insulating layer might become almost equal so that the top face of the 1st insulating layer and the top face of the 2nd insulating layer might have consistency namely 42d of 2nd semi-conductor layer which the top face adjusted with the top face of the 1st insulating layer 41 as it was not necessary to adjust these for example, and was shown in A of drawing 9 , As the 2nd insulating layer 43 is formed in the upper part for 42s and it is shown in B of drawing 9 after that After etching the 2nd insulating layer 43 and exposing the top face of the 1st insulating layer 41, as only the 1st insulating layer 41 is etched selectively, slot 33' may be formed. Also in this case, since the front face of partial 12a in which the channel of a substrate 12 is formed does not receive breakage, electrical characteristics, such as a drain current characteristic, can use it as a good semiconductor device. However, since it is necessary to etch the 2nd insulating layer 43 according to the location of the 1st insulating layer and a location gap of etching can be considered in this case when manufacturing a detailed semiconductor device in order to etch the 1st insulating layer 41 selectively, it is good to carry out flattening of the 2nd insulating layer like, and to make it expose the top face of the 1st insulating layer in the above-mentioned example too.

[0046] Moreover, the semi-conductor layer which becomes, for example with silicon since the effectiveness of the 2nd example of the above will be acquired, if the 2nd insulating layer is formed by carrying out the chemical reaction of the semi-conductor layer, although the 2nd insulating layer was formed by oxidizing thermally the upper part of the 2nd semi-conductor layer in the 2nd example of the above is nitrided, and it is Si<sub>3</sub> N<sub>4</sub>. You may make it form an insulator layer.

[0047] Furthermore, in the above-mentioned example, in case it thin-film-izes immediately after having carried out patterning and making it deposit before removing the 1st insulating layer although it accumulated and patterning of the diffusion layer 14 was carried out after removing the 1st insulating layer, patterning may be carried out.

[0048] Moreover, although the impurity used as the punch-through stopper 19 was diffused and gate oxide was formed in the above-mentioned example after forming a side-attachment-wall insulator layer For example, Si<sub>3</sub> N<sub>4</sub> In preparing the side-attachment-wall insulator layer which changes, after forming a side-attachment-wall insulator layer after forming gate oxide, and forming a dummy oxide film, and it forms the side-attachment-wall film on it and a dummy carries out wet etching, gate oxide may be formed anew. In addition, when a side-attachment-wall insulator layer is formed ahead of gate oxide, gate length can be adjusted by the thickness of this side-attachment-wall insulator layer, and when forming gate oxide ahead of a side-attachment-wall insulator layer, effectiveness that there is no possibility that the front face of the 1st semi-conductor layer may receive breakage, in the case of the etchback at the time of side-attachment-wall insulator layer formation can be acquired. In addition, the impurity of the punch-through stopper 19 may be doped again, after gate oxide is formed.

[0049] Moreover, although the front face of the 2nd semi-conductor layer exposed after a gate electrode and gate electrode formation was silicide-ized at once in the above-mentioned example, silicide-ization of a gate electrode and the 2nd semi-conductor layer may be performed independently, and the class of the silicide is not made the same, but \*\* is also good.

[0050] In addition, in the above-mentioned example, although the manufacture approach of the

semiconductor device of N type was described, of course, it can apply also to the manufacture approach of the semiconductor device of P type, accumulates in this case, and use a diffusion layer 14 as the semi-conductor layer containing the impurity of P type, and let the 1st semi-conductor layer be a semi-conductor layer containing the impurity of N type.

[0051]

[Effect of the Invention] This invention is carried out with a gestalt which was described above, and does the following effectiveness so. That is, since this invention is formed by etching selectively only the 1st insulating layer previously formed according to the configuration of the slot in the slot for preparing a gate electrode (and side-attachment-wall insulator layer), the front face of the 1st semi-conductor layer in which a channel is formed does not receive breakage, therefore properties, such as a drain current characteristic, are good and can obtain the semiconductor device which can control a short channel effect.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

**[Drawing 1]** It is the transverse-plane sectional view of the semiconductor device manufactured by the manufacture approach of the semiconductor device of this invention.

**[Drawing 2]** It is type section drawing (the 1) explaining the manufacture approach of the semiconductor device of the 1st example of this invention, and A shows the condition of having made the 1st insulating layer depositing, and B shows the condition of having fabricated the 1st insulating layer to predetermined width of face.

**[Drawing 3]** It is type section drawing (the 2) explaining the manufacture approach of the semiconductor device of the 1st example of this invention, and A shows the condition of having made the 2nd semiconductor layer depositing, and B shows the condition of having thin-film-ized the 2nd semiconductor layer in predetermined thickness.

**[Drawing 4]** It is type section drawing (the 3) explaining the manufacture approach of the semiconductor device of the 1st example of this invention, and A shows the condition of having formed the 2nd insulating layer, and B shows the condition of having etched the 1st insulating layer selectively and having formed the slot.

**[Drawing 5]** It is type section drawing (the 4) explaining the manufacture approach of the semiconductor device of the 1st example of this invention, and A shows the condition of having fabricated the 2nd insulating layer formed in the 2nd semiconductor layer and its upper part to the predetermined pattern, and B shows the condition of having formed a side-attachment-wall insulator layer, a prevention layer, and gate dielectric film.

**[Drawing 6]** It is type section drawing (that 5) explaining the manufacture approach of the semiconductor device of the 1st example of this invention, and A shows the condition of having formed the source field and the drain field in a gate electrode and the 1st semiconductor layer, and B shows the condition of having silicide-ized the front face of the 2nd semiconductor layer exposed at a gate electrode and this time.

**[Drawing 7]** It is type section drawing (the 1) explaining the main processes of the manufacture approach of the semiconductor device of the 2nd example of this invention, and A shows the condition of having fabricated the 1st insulating layer to predetermined width of face, and B shows the condition of having made the 2nd semiconductor layer depositing.

**[Drawing 8]** It is type section drawing (the 2) explaining the main processes of the manufacture approach of the semiconductor device of the 2nd example of this invention, and the condition of A having carried out the chemical reaction of the upper part of the 2nd semiconductor layer, and having formed the 2nd insulating layer is shown, and B shows the condition of having etched the 1st insulating layer selectively and having formed the slot.

**[Drawing 9]** It is type section drawing explaining the main processes of the manufacture approach of the semiconductor device of the modification of this invention, and A shows the condition of having formed the 1st insulating layer, the 2nd semiconductor layer, and the 2nd insulating layer, the condition of B having etched the 2nd insulating layer and having exposed the top face of the 1st insulating layer is shown, and C shows the condition of having etched the 1st insulating layer selectively and having

formed the slot.

[Drawing 10] It is the transverse-plane sectional view of the semiconductor device of the conventional example of this invention, and A shows the semiconductor device in which the source field and the drain field were formed to a substrate, after forming a gate electrode, and by etching a substrate into a substrate, after forming a source field and a drain field, B divides a source field and a drain field, and shows the semiconductor device which prepared the gate electrode.

[Description of Notations]

11 [ .. It accumulates and they are a diffusion layer and 14' / .. A semi-conductor layer, 15 / .. A side-attachment-wall insulator layer, 16 / .. A gate electrode, 18 / .. Gate oxide, 19 / .. 21 A punch-through stopper, 22 / .. A silicide layer, 31 / .. A gate electrode configuration insulator layer, 32 / .. An insulator layer, 33 / .. A slot, D1 / .. A drain field, S1 / .. Source field ] .... A semiconductor device, 12 .. A substrate, 13 .. A trench component detached core, 14

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-321287

(43) 公開日 平成9年(1997)12月12日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/78  
21/336  
21/225

識別記号

庁内整理番号

F I

H 0 1 L 29/78  
21/225

3 0 1 P  
P

技術表示箇所

審査請求 未請求 請求項の数10 O L (全 12 頁)

(21) 出願番号 特願平8-133884

(22) 出願日 平成8年(1996)5月28日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 市川 勉

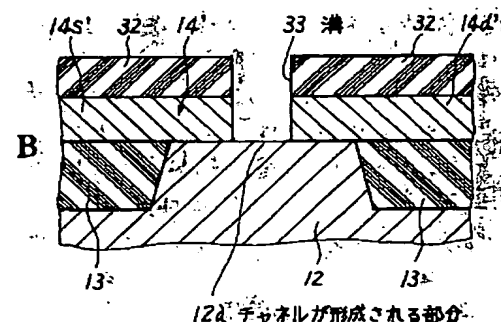
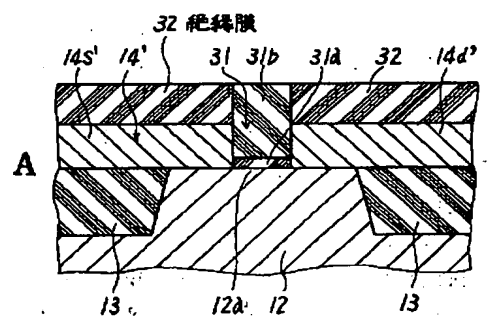
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 短チャンネル効果が抑制でき、かつドレイン電流特性が良好である半導体装置の製造方法を提供すること。

【解決手段】 チャンネルが形成される基板12の上部に、ゲート電極16より側壁絶縁膜15の厚さ分大きい幅を有するゲート形状絶縁膜31を形成し、ゲート形状絶縁膜31が形成されていない基板12上に半導体層14'及びその上部に絶縁膜32を形成した後、ゲート形状絶縁膜31のみを選択的にエッチングし、側壁絶縁膜15、ゲート酸化膜17及びゲート電極16を形成する。





(2)

## 【特許請求の範囲】

【請求項1】 チャネルが形成される第1の半導体層の前記チャネルが形成されない部分の上に積み上げられ前記チャネルを形成するキャリアと同種の不純物を含む第2の半導体層からの前記不純物拡散により、前記第1の半導体層中にソース領域及びドレイン領域を形成するMIS型の電界効果型半導体装置の製造方法において、

(A) 前記第1の半導体層の上で、前記チャネルが形成される位置に、ゲート電極が形成される幅より所定量大きい幅を有するパタンで第1の絶縁層を形成し、(B) 該第1の絶縁層が形成されていない部分に前記第2の半導体層を形成し、(C) 該第2の半導体層の上部にのみ第2の絶縁層を形成し、(D) 前記第1の絶縁層のみを選択的にエッチングすることによって、該第1の絶縁層が形成されていた部分に溝を形成し、(E) 該溝の側壁に側壁絶縁膜と、前記溝の底部に前記第1の半導体層が露出した部分を覆うようにゲート絶縁膜とを形成し、

(F) 前記溝に前記ゲート電極を形成するようにしたことを特徴とする半導体装置の製造方法。

【請求項2】 前記(C)工程と前記(D)工程の間、又は前記(D)工程と前記(E)工程の間に、前記第2の半導体層をパタニングする工程を有することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記ゲート電極が半導体で成ることを特徴とする請求項1又は請求項2に記載の半導体装置の製造方法。

【請求項4】 前記第2の半導体層の上部が化学反応することにより、前記第2の絶縁層が形成されることを特徴とする請求項1乃至請求項3の何れかに記載の半導体装置の製造方法。

【請求項5】 前記第2の半導体層の厚さを前記第1の絶縁層の厚さより薄くして、前記第2の絶縁層を形成した後、前記第1の絶縁層と前記第2の絶縁層とが露出した状態で、第1の絶縁層のみを除去することを特徴とする請求項1乃至請求項4の何れかに記載の半導体装置の製造方法。

【請求項6】 前記ゲート酸化膜の下方で前記第1の半導体層内部に、パンチスルー現象を防止する、前記チャネルを形成するキャリアと異種の不純物を含む防止層が設けられていることを特徴とする請求項1乃至請求項5の何れかに記載の半導体装置の製造方法。

【請求項7】 前記ゲート電極の表面及び前記ゲート電極が形成された後に露出している第2の半導体層の表面をシリサイド化することを特徴とする請求項1乃至請求項6の何れかに記載の半導体装置の製造方法。

【請求項8】 前記ゲート電極の成形と、前記第2の絶縁層のエッチングとを同時に行なうことを特徴とする請求項1乃至請求項7の何れかに記載の半導体装置の製造方法。

【請求項9】 前記第1の半導体層が形成されている基

板が素子分離領域によって分離されており、該素子分離領域の上方にまで延びるように前記第2の半導体層が形成され、前記素子分離領域の上方に、前記ソース領域に該第2の半導体層を介して接合するソース電極と前記ドレイン領域に該第2の半導体層を介して接合するドレイン電極とが形成されていることを特徴とする請求項1乃至請求項8の何れかに記載の半導体装置の製造方法。

【請求項10】 前記素子分離領域がトレンチ素子分離法により形成されていることを特徴とする請求項9に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関するものであり、特に、短チャネル効果が顕著に現れる微細化されたMIS型の電界効果型半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】DRAMなどに用いられるULSI(Ultra Large Scale Integrated Circuit)の基本素子であるMOS型電界効果トランジスタ(以下、MOSFETと記載する)は、DRAMの容量増大などの要求により、微細化が進んでいる。例えば、1ギガビットの容量を有するDRAMでは、メモリーセルの最小加工寸法は $0.13\mu\text{m}$ 程度となり、メモリーセルに使用されるMOSFETのチャネル長は、大きくても $0.15\mu\text{m}$ 程度にする必要がある。またDRAMの容量が更に増大し、4ギガビットの容量のDRAMとするには、MOSFETの実効チャネル長は、 $0.1\mu\text{m}$ 以下が必要となる。

【0003】このように短い実効チャネル長を有するMOSFETでは、パンチスルー現象、しきい値電圧の低下、サブスレッショルド特性の劣化などの短チャネル効果が著しくなる。従って、MOSFETを微細化する上で、この短チャネル効果を抑制することは非常に重要であり、現在のところ、短チャネル効果を低減させる方法として、酸化膜の薄膜化、拡散層の浅接合などがある。しかしながら、酸化膜は、トンネル現象で決まる薄膜化の限界(約 $3\text{nm}$ )があり、またイオン打ち込み法では、拡散層の深さも $50\mu\text{m}$ 以下にすることは現実に難しい。

【0004】そこで、短チャネル効果を低減させる方法として、応用物理、第61巻、第11号(1992)の第1143頁～第1146頁の「積み上げ拡散層型 $0.1\mu\text{m}$ -MOSFET」(木村紳一郎及び武田英次)には、積み上げ拡散層型MOSFETが開示されている。この積み上げ拡散層型MOSFETは、図10のA及びBに示されているように、シリコン基板1上に積み上げられた、多結晶シリコンで成る不純物拡散層2d、2sからの不純物拡散を用いて、素子分離層4間のシリコン基板1内に、ソース領域S及びドレイン領域Dとなる拡

(3)

3

散層を浅く形成するものである。更に、ゲート酸化膜6の直下方のシリコン基板1内には、すなわちソース領域S及びドレイン領域Dの間のチャンネルが形成される部分の下方には、パンチスルー現象を低下させるための、チャンネルが形成されるキャリアとは異種の不純物がドーピングされたパンチスルーストップ7が設けられている。

【0005】しかしながら、図10のAでは、シリコン基板1上に積み上げた不純物拡散層2d、2sに、ゲート電極8を埋め込む溝3をエッチングによって形成しており、このとき、シリコン基板1と不純物拡散層2d、2sには異なる不純物がドーピングされているが、シリコン基板1と不純物拡散層2d、2sとは、同一の材質(シリコン)で形成されているので、これらの間のエッチング速度の差はほとんどなく、従って、これらの界面でエッチングを止めることは困難である。そのため、図10のAにおいては、シリコン基板1のチャンネルが形成される部分の表面1aが、エッチングされることは避けられない。また、図10のBでは、予め不純物拡散層2d、2sからシリコン基板1内部に、不純物を拡散して拡散層を形成し、ゲート電極8を設けるために、シリコン基板1をエッチングして溝3'を形成することで、この拡散層を分離して、ソース領域S及びドレイン領域Dを形成する。すなわち、この場合には、シリコン基板1を積極的にエッチングしている。

【0006】従って、図10のA及びBに示されるような構造の積み上げ拡散層型MOSFETでは、多結晶シリコンの膜厚及びエッチング速度のウエハ面内における不均一性のため、シリコン基板1表面におけるエッチングの深さが不均一となる。そのため、同一の工程を経て作成されたMOSFETであっても、その特性がばらつくことになる。また、上述の製造方法で形成された積み上げ拡散層型MOSFETでは、上述したように、シリコン基板1はエッチングされる(これは通常ドライエッチングにて行なわれる)ので、そのシリコン基板1の露出した表面が加工損傷を受けることは避けられず、従ってシリコン基板1の表面におけるダメージがチャンネルが形成される部分に存在するので、ドレイン電流特性などのMOSFETの特性が低下するという問題がある。

【0007】

【発明が解決しようとする課題】本発明は上記の問題に鑑みてなされ、短チャネル効果を抑制することができ、ドレイン電流特性などの半導体装置の特性が良好で、個々の特性にばらつきのないMIS型の電界効果型半導体装置の製造方法を提供することを課題とする。

【0008】

【課題を解決するための手段】以上の課題は、チャンネルが形成される第1の半導体層の前記チャンネルが形成されない部分の上に積み上げられ前記チャンネルを形成するキャリアと同種の不純物を含む第2の半導体層からの前記不純物拡散により、前記第1の半導体層中にソース領域

4

及びドレイン領域を形成するMIS型の電界効果型半導体装置の製造方法において、(A)前記第1の半導体層の上で、前記チャンネルが形成される位置に、ゲート電極が形成される幅より所定量大きい幅を有するパターンで第1の絶縁層を形成し、(B)該第1の絶縁層が形成されていない部分に前記第2の半導体層を形成し、(C)該第2の半導体層の上部にのみ第2の絶縁層を形成し、

(D)前記第1の絶縁層のみを選択的にエッチングすることによって、該第1の絶縁層が形成されていた部分に溝を形成し、(E)該溝の側壁に側壁絶縁膜と、前記溝の底部に前記第1の半導体層が露出した部分を覆うようにゲート絶縁膜とを形成し、(F)前記溝に前記ゲート電極を形成するようにしたことを特徴とする半導体装置の製造方法、によって解決される。

【0009】このような製造方法により半導体装置が製造されるので、チャンネルが形成される第1の半導体層の表面の損傷がほとんどなく、従って半導体装置のドレイン電流特性などの特性が悪くなることがない。また第1の半導体層の表面がエッチングされないので、個々の半導体層装置の特性がばらつくことがない。従って、ドレイン電流特性などが良好で、かつ短チャネル効果を抑制することができる、微細化に適した半導体装置が多量に得られる。

【0010】

【発明の実施の形態】本発明では、チャンネルが形成される第1の半導体層の上に、第1の絶縁層を形成し、第1の絶縁層が形成されていない部分に第2の半導体層を形成した後、第1の絶縁層のみを選択的にエッチングして溝を形成し、その溝にゲート電極を設けるので、チャンネルが形成される第1の半導体層の表面はエッチングされることがない。従って、第1の半導体層の表面が損傷を受けることがないので、短チャネル効果を抑制する構成で、かつドレイン電流特性などの特性が良好な半導体装置を得ることができる。

【0011】更に、ゲート電極の表面やゲート電極が形成された後に露出している第2の半導体層の表面(これはアルミニウム配線と接合する部分になる)をシリサイド化することによって、ゲート電極及びソース電極とドレイン電極のシート抵抗/配線抵抗の低減を行なうことができる。

【0012】また、第2の絶縁層が、第2の半導体層の上部を化学反応することにより形成されるようにすれば、第2の半導体層を堆積させてエッチングするという工程が不要となるので、半導体装置の製造工程を少なくすることができる。

【0013】更に、ゲート酸化膜の下方で第1の半導体層内部に、チャンネルと異種の不純物を含む防止層を設ければ、より一層、短チャネル効果のパンチスルー現象を抑制することができる。

【0014】また、ゲート電極を成形する際のエッチン

(4)

5

グで、第2の半導体層の上部に形成された第2の絶縁層をも同時にエッチングされるようにすれば、別々のエッチング剤を用いてエッチングする必要がないので、半導体装置の製造工程を少なくすることができる。

【0015】更に、基板上に形成される個々の素子を分離する素子分離領域の上方にまで延びるように、前記第2の半導体層を介して、ソース領域に接合するソース電極及びドレイン領域に接合するドレイン電極が設けられるようにすれば、ソース、ドレインの接合面積、すなわち接合容量を少なくすることができるので、半導体装置を更に高集積にすることが可能である。また、素子分離領域をトレンチ分離法により形成すれば、素子同士のパンチスルー現象を抑えることができるので、更に接合容量を少なくすることができ、高集積化に適する半導体装置を得ることができる。

【0016】

【実施例】以下、本発明の各実施例について図面を参照して説明する。

【0017】図1は、本発明の第1実施例の半導体装置11を示すが、これは積み上げ拡散層14（ソース側の積み上げ拡散層が14sで示され、ドレイン側の積み上げ拡散層が14dで示されている）を有するNチャンネルのMIS型（MOS型）電界効果トランジスタである。本実施例において第1の半導体層である基板12は、例えばホウ素（B）を含んだシリコンで成る基板12（すなわちP型の半導体）であり、ここに複数のトレンチ素子分離層13を設けて、基板12上に形成される個々の素子を絶縁分離している。トレンチ素子分離層13は、間口は狭いが深い溝（トレンチ）を基板表面につくり、その溝に、例えば $\text{SiO}_2$ を埋めて成るもので、個々の素子同士間に生じるパンチスルー現象を低減するのに効果的な構造である。ただし、図では、トレンチ素子分離層13は、縦方向の長さを短くして示している。

【0018】基板12のチャンネルが形成される部分12aの上方には、 $\text{SiO}_2$ でなるゲート酸化膜18が形成されており、その上部には多結晶シリコンでなるゲート電極16が設けられているが、多結晶シリコンは抵抗が高いので、本実施例では、例えば燐（P）又はヒ素（As）を不純物としてドーピングし、低抵抗のN型の半導体でゲート電極16が形成されている。また、基板12の上面でチャンネルが形成されない部分の上方には、トレンチ素子分離層13にまで延びる積み上げ拡散層14が形成されている。この積み上げ拡散層14は、例えば燐（P）又はヒ素（As）が不純物としてドーピングされたシリコンより成り、すなわちチャンネルが形成されるキャリアと同種の不純物を含むN型半導体層である。この積み上げ拡散層14からの不純物が基板12に拡散されることによって、基板12の上部にソース領域S1及びドレイン領域D1が形成されているので、ソース領域S1及びドレイン領域D1は、基板12の積み上げ拡散層

6

14と当接する位置及びその近傍に形成されている。更に、ソース領域S1及びドレイン領域D1の間で、チャンネルが形成される部分12aよりも下方に、パンチスルーストップ19が形成されている。このパンチスルーストップ19には、チャンネルを形成するキャリアと異種の不純物が、すなわち本実施例では、例えばホウ素（B）がドーピングされており、これによってソース領域S1及びドレイン領域D1との間に生じるパンチスルー現象を抑制するものである。なお、このパンチスルーストップ19の不純物濃度が高い程、パンチスルー現象がよりよく抑制されるが、パンチスルーストップ19の上部にはチャンネルが形成されるため、ゲート領域の不純物濃度は、それほど大きくすることはできない。

【0019】積み上げ拡散層14の上面及びゲート電極16の上部外周には、Ti又はCoによってシリサイド化されたシリサイド層21、22、すなわち $\text{TiSi}_2$ 又は $\text{CoSi}_2$ から成るシリサイド層21、22が形成されている。なお、図においては、ソース側のシリサイド層を21s、ドレイン側のシリサイド層を21dで示す。このシリサイド層21、22は、積み上げ拡散層14及びゲート電極16のシート抵抗／配線抵抗を低減するものである。なお、基板12内に形成されたソース領域S1及びドレイン領域D1は、積み上げ拡散層14、シリサイド層21及び例えばPSG（Phosphosilicate Glass；燐を含んだ酸化シリコン）でなる層間絶縁膜23のビアホール23aに埋め込まれた例えばタングステンで成るプラグ（以下、Wプラグと記載する）24d、24sを介して、アルミニウム配線27d、27sと接合している。なお、28と29は、絶縁膜であり、これは層間絶縁層の一部となっている。

【0020】本発明の製造方法によって製造される半導体装置11は、上述したような構成を有するのであるが、次に、この半導体装置11の製造方法について図2乃至図6を参照して説明する。

【0021】まず、図2に示されるように、シリコンで成る基板12に、複数のトレンチ素子分離層13を形成し、素子である半導体装置（本実施例では、上述したようにNチャンネルのMIS型電界効果トランジスタ）を形成する領域を定める。次に、例えば10nm程度の厚さの $\text{Si}_3\text{N}_4$ 層31aと、例えば200nm程度の厚さの $\text{SiO}_2$ 層31bの2つの層から成るゲート電極形状絶縁膜31を、例えばプラズマCVDなどの連続成膜により堆積させる。なお本実施例では、第1の絶縁層として2つの絶縁膜を形成したが、これは、トレンチ素子分離層13が $\text{SiO}_2$ で成るため、後述するように $\text{SiO}_2$ 層31bをエッチングするときに、このトレンチ素子分離層13がオーバーエッチングされないように $\text{Si}_3\text{N}_4$ 層を設けたのであり、素子分離領域 $\text{SiO}_2$ の膜減りが許容範囲とすることができる場合及びトレンチ素子

(5)

7

分離層13の上に $\text{Si}_3\text{N}_4$ 膜を積層している場合には、第1の絶縁層は $\text{SiO}_2$ 層31bのみで形成するようにしてもよい。

【0022】次に、公知のフォトリソグラフィ技術とドライエッチング技術を用いて、第1の絶縁層であるゲート電極形状絶縁膜31を、図2のBに示すように、基板12のチャンネルが形成される部分12aの上に、すなわちゲート電極16を設ける位置に、積み上げ拡散層14の間に埋め込まれるゲート電極16の幅と、ゲート電極16と積み上げ拡散層14とを絶縁するための側壁絶縁膜15の幅とを合わせた幅となるように、ゲート電極形状絶縁膜31を成形する。すなわち、平面的に見ると、ゲート電極16が形成されるべきパタン上に、ゲート電極16が形成される幅より側壁絶縁膜15の厚さ程度大きな幅で、ゲート電極形状絶縁膜31を形成する。次に、図3のAに示されるように、例えば多結晶シリコン又はアモルファスシリコンで成る半導体層14'（第2の半導体層）を、例えば減圧CVDなどでゲート電極形状絶縁膜31の厚さ以上に堆積させ、 $\text{SiO}_2$ 膜31bをストップ層としたCMP（Chemical Mechanical Polish；化学機械研磨）技術又はレジストエッチバック技術などの公知の平坦化技術を用いて、ゲート電極形状絶縁膜31の上部の半導体層14'を除去する。更に、ドライエッチング技術によって半導体層14'を図3のBに示すように、100nm程度の厚さに薄膜化する。このとき、半導体層14'は、ソース側の積み上げ拡散層14sを形成する半導体層14s'と、ドレイン側の積み上げ拡散層が14dを形成する半導体層14d'とに分かれて形成されている。そして、この半導体層14'に、例えば、リン（P）をやひ素（As）のイオン注入を行なってN型の半導体層とする。

【0023】次に、半導体層14'の上部に、例えば $\text{Si}_3\text{N}_4$ で成る絶縁膜32を、例えば100nm程度以上堆積させ、半導体層14'を形成したときと同様な技術を用いて、すなわちゲート電極形状絶縁膜31の上部に堆積された絶縁膜32を、上述したような平坦化技術を用いて除去し、図4のAに示されるように、ゲート電極形状絶縁膜31の上面、すなわち $\text{SiO}_2$ 膜31bの上面を露出させる。

【0024】そして、次に、第1の半導体層であるシリコンでなる基板12はエッチングされず、ゲート電極形状絶縁膜31の $\text{SiO}_2$ 膜31b及び $\text{Si}_3\text{N}_4$ 層31aのみを選択的にエッチングし、図4のBに示すように、ゲート電極形状絶縁膜31が形成されていた部分を溝33とする。すなわち、例えばHF系のガスを用いたドライエッチングで、まず、 $\text{SiO}_2$ 膜31bをエッチングし、続けて、例えば150℃以上の $\text{H}_3\text{PO}_4$ （ホットリン酸）を用いたウェットエッチングで、 $\text{Si}_3\text{N}_4$ 膜31aのエッチングを行なう。本実施例では、このS

8

$\text{Si}_3\text{N}_4$ 膜31aをエッチングする際にホットリン酸を用いたので、チャンネルが形成される基板12はエッチングされることはなく、従って、チャンネルが形成される基板12の表面のチャンネルが形成される部分12aの表面、すなわち溝33の底部が損傷を受けることがない。なお、第2の絶縁層の絶縁膜32はゲート電極16と積み上げ拡散層14とを絶縁するための層間絶縁膜の一部となる（図1において28で示されている）ので、第1の絶縁層であるゲート電極形状絶縁膜31のみを選択的にエッチングする際に、絶縁膜32は多少エッチングされてもよいが、絶縁膜32が全てエッチングされないように、第1の絶縁層と第2の絶縁層とを異なる材質で形成させるのが好ましい。

【0025】次に、公知のフォトリソグラフィ技術とドライエッチング技術を用いて、半導体層14'の上部に設けられている絶縁膜32及び半導体層14'をパタニングして、図5のBに示されるように、積み上げ拡散層14を成形する。本実施例では、接合面積を少なくするため、ソース電極及びドレイン電極となるWプラグ24d、24sをトレンチ分離層13の上方に設けるので、積み上げ拡散層14は、トレンチ分離層13の上方にまで延びるように形成する。

【0026】そして、図5のBに示されるように、溝33の側壁に、例えば $\text{SiO}_2$ 又は $\text{Si}_3\text{N}_4$ で成り、例えば75nm程度の厚さの側壁絶縁膜15を形成する。この側壁絶縁膜15は、まずCVDによってカバレッジ良く垂直段差部にも平坦部と同様に堆積した膜に、強い方向性を持たせて縦方向にのみ膜厚程度エッチングすることによって得るものである。そのため側壁絶縁膜15を形成する際には、パタニングされた積み上げ拡散層14及び絶縁膜32の側壁にも絶縁膜29'が形成される。この側壁絶縁膜15を形成した後、この側壁絶縁膜15をマスクとして、溝33の底部である基板12の露出部分に、チャンネルを形成するキャリアと異種の不純物、本実施例の半導体装置はN型のチャンネルを有するので、例えばホウ素（B）のイオンを注入して、パンチスルーストップ19を形成する。その後、溝33の露出した基板12の表面に、公知の材料を用いて $\text{SiO}_2$ で成るゲート酸化膜18を形成する。このゲート酸化膜18は、上記従来例で述べたように、短チャンネル効果を抑制するために、ごく薄くするのがよいが、トンネル現象を起こさせないため、3nm以上の厚さにすることが必要である。

【0027】次に、多結晶シリコン又はアモルファスシリコンなどの半導体で成るゲート電極層を、例えば約150nm程度の厚さで堆積させる。更に、このゲート電極層を、公知のフォトリソグラフィ技術及びドライエッチング技術を用いて、ゲート電極16に成形する。すなわち、レジストコート、マスク露光、現像、ポストバークを行なった後、例えば $\text{CF}_4$ などのガスを用いたドラ

(6)

9

イエッチングで、ゲート電極層をゲート電極16に成形する。このとき、絶縁膜32、29'もゲート電極16の幅に合わせてエッチングし、図6のAで示される絶縁膜28、29となる。本実施例では、絶縁膜32もエッチングされるようなエッチング剤（本実施例ではCF<sub>4</sub>ガス）を使用することにより、絶縁膜32、29'は、ゲート電極16が成形する際に同時にエッチングされる。この形状となった後、ゲート電極16に、燐（P）又はヒ素（As）などのイオンを注入し、適当な熱処理、例えばRTAアニールなどを行なって、上記の工程でイオン注入した不純物を活性化し、及び積み上げ拡散層14の不純物を基板12内に拡散させ、図6のAに示されるように、ソース領域S1及びドレイン領域D1を形成する。

【0028】次に、シート抵抗/配線抵抗を低減するために、シリコンでなるゲート電極16及び積み上げ拡散層14の表面を、公知の技術を用いて、Ti又はCoでシリサイド化させる。例えば、Ti、Coなどを図6のAに示される形状となっている半導体装置の全表面に堆積させ、熱処理を施してシリコンTi、Coとを反応させた後、絶縁膜28上などシリサイド化されていない部分は、例えばウェットエッチングなどで取り除いて、図6のBで示すようなシリサイド層21、22を形成する。

【0029】そして、次に例えばSiO<sub>2</sub>やSi<sub>3</sub>N<sub>4</sub>で成る層間絶縁膜23を堆積させ、ビアホール23aを形成し、このビアホール23aにWプラグ24d、24sを埋め込み、Wプラグ24d、24s及び層間絶縁膜23の上部にアルミニウム配線27d、27sを形成して、図1で示されるような半導体装置11が完成する。

【0030】以上のようにして、本発明の半導体装置11は形成されるが、本発明では、先に、基板12のチャネルが形成される位置の上方にゲート電極形状絶縁膜31が形成され、その後に積み上げ拡散層14となる半導体層14'及び絶縁膜32を形成した後、チャネルが形成される基板12をエッチングすることなく、ゲート電極形状絶縁膜31のみを選択的にエッチングすることにより、ゲート電極16を設けるための溝33を設けたので、従来ゲート電極16を設けるための溝33を形成する際に生じた基板12の表面が損傷を受けることなく、従って、ドレイン電流特性が劣化することがない。また、基板12の表面が損傷を受けないので、個々の半導体装置11の特性がばらつくことがない。

【0031】更に、本実施例では、ゲート電極16の表面やゲート電極16が形成された後に露出している積み上げ拡散層14の表面をシリサイド化したので、シート抵抗/配線抵抗を低減することができる。

【0032】また、本実施例では、ゲート酸化膜18の下方で基板12の内部に、チャネルと異種の不純物を含むパンチスルーストップ19を設けたので、より一層、

10

短チャネル効果の1つであるパンチスルー現象を抑制することができる。

【0033】更に、ゲート電極16を成形する際のエッチングで、絶縁膜28をも同時にエッチングされるようにすれば、別々のエッチング剤を用いてエッチングする必要がないので、半導体装置の製造工程を少なくすることができる。

【0034】また、基板12上に形成される個々の素子を分離するトレンチ素子分離層13の上方にまで延びるように積み上げ拡散層14を形成し、このトレンチ素子分離層13の上方に、Wプラグ24d、24s（すなわちこれが、ソース電極及びドレイン電極に相当する）を設けたので、ソース、ドレインの接合面積、すなわち半導体装置11の接合容量を少なくすることができ、従って、更に高集積に適する構成とすることができる。

【0035】次に、第2実施例の半導体装置の製造方法について、図7及び図8を参照して説明するが、第1実施例と同一のものについては、その符号を付し、その説明は省略する。

【0036】第2実施例の半導体装置は、上記第1実施例の半導体装置11と全く同じ構成をしており、ただ絶縁膜28がSi<sub>3</sub>N<sub>4</sub>ではなくSiO<sub>2</sub>で成ることが異なる。第2実施例の半導体装置の製造方法では、まず、トレンチ素子分離層13によって分離された基板12

（本実施例でも、これが第1の半導体層である）上に、約200nm程度の厚さのSi<sub>3</sub>N<sub>4</sub>層を堆積させ、このSi<sub>3</sub>N<sub>4</sub>層を、公知のフォトリソグラフィ技術及びエッチング技術を用いて、上記第1実施例の図2のAと同様に、ゲート電極16が形成されるパタン上に、ゲート電極16より側壁絶縁膜15の厚さ程度太い幅にエッチングして、第1の絶縁層であるゲート電極形状絶縁膜31'を形成する（これは図7のAに示されている）。

【0037】次に、多結晶シリコン又はアモルファスシリコンで成る半導体層34（これが本実施例の第2の半導体層である）を堆積させて、第1実施例と同様に平坦化技術を用いて、ゲート電極形状絶縁膜31'の上面の堆積した半導体層34を取り除き、半導体層34を薄膜化して、ほぼゲート電極形状絶縁膜31'の上面が露出するようにする。なお、このとき半導体層34は、ソース側の半導体層34sとドレイン側の半導体層34dとに分離されている。

【0038】次に、熱酸化によって、半導体層34の上部を酸化させ、図8のAに示されるように、例えば100nm程度の厚さのSiO<sub>2</sub>から成る絶縁膜32（第2の絶縁層に相当する）を形成する。すなわち、本実施例では半導体層34から、半導体層14'と絶縁膜32とが形成される。そして、先に形成されたゲート電極形状絶縁膜31'のみを、基板12をエッチングすることなく、すなわち例えば150℃以上のH<sub>3</sub>PO<sub>4</sub>（ホット燐酸）を用いたウェットエッチングでエッチングして、

(7)

11

図8のBに示されるように、溝33を形成する。

【0039】図8のBに示される半導体装置の形状は、第1実施例の図4のBと全く同一であり、第2実施例のこれ以降の工程は、上記第1実施例の図5のB以降の工程と全く同一であるので、その説明は省略する。なお、本実施例では、積み上げ拡散層14と成る半導体層14'をN型にすることを述べなかったが、ソース領域S1及びドレイン領域D1は、この積み上げ拡散層14からの不純物拡散で形成されるので、上記実施例の半導体層14'と同様に、例えば、絶縁膜32を形成する前又は形成した後に半導体層34に、チャンネルが形成されるキャリアと同種の不純物、例えば燐(P)又は砒素(As)などをイオンドーピングして、半導体層をN型とすることが必要である。

【0040】本実施例では、上記第1実施例の効果を奏するだけではなく、第1の半導体層の上部を熱酸化させることによって、第2の絶縁層を形成しているのので、第2の絶縁層を堆積させ、これをエッチングさせるという工程が不要となり、第1実施例よりも半導体装置の製造工程を少なくすることができるとの効果を奏することができる。

【0041】以上、本発明の各実施例について説明したが、勿論、本発明はこれらに限定されることなく、本発明の技術的思想に基づいて種々の変形が可能である。

【0042】例えば、上記実施例では、チャンネルが形成される第1の半導体層として基板12を用いたが、基板内に設けられたウェルを第1の半導体層に相当するとしてもよい。

【0043】また、上記実施例では、半導体層をイオンドーピング後にアニールすることによって、N型の不純物を含む半導体層としたが、半導体層を形成する際に、N型の不純物を含むような膜として形成してもよい。また、不純物を活性化、拡散させる際に、適当な熱処理としてRTAアニールを用いたが、勿論、他の方法でもよいことはいうまでもない。

【0044】更に、上記実施例では、第1の絶縁層のみを選択的にエッチングする際に、CF<sub>4</sub>ガス及びホット燐酸を用いたが、ホット燐酸だけを用いてエッチングしてもよいし、チャンネルが形成される第1の半導体層の表面が損傷を受けることなく、第1の絶縁層のみをエッチングするようなエッチング剤であれば、何を用いてもよい。

【0045】更に、上記実施例では、第1の絶縁層の上面と第2の絶縁層の上面が整合するように、すなわち第1の絶縁層及び第2の半導体層と第2の絶縁層との高さがほぼ等しくなるように、平坦化及びエッチングを施したが、これらを整合する必要はなく、例えば図9のAに示されるように、その上面が第1の絶縁層41の上面と整合した第2の半導体層42d、42sの上部に、第2の絶縁層43が形成されるようにし、その後、図9のB

12

に示されるように、第2の絶縁層43をエッチングして、第1の絶縁層41の上面を露出させておき、第1の絶縁層41のみを選択的にエッチングするようにして溝33'を形成しても良い。この場合にも、基板12のチャンネルが形成される部分12aの表面は損傷を受けることがないので、ドレイン電流特性などの電気的特性が良好な半導体装置とすることができる。しかしながら、この場合には、第1の絶縁層41を選択的にエッチングするために、第2の絶縁層43を第1の絶縁層の位置に合わせてエッチングする必要があるため、微細な半導体装置を製造するときには、エッチングの位置ずれが考えられるので、やはり上記実施例のように、第2の絶縁層を平坦化して第1の絶縁層の上面を露出させるようにするのがよい。

【0046】また、上記第2実施例では、第2の半導体層の上部を熱酸化することにより第2の絶縁層を形成したが、半導体層を化学反応させることによって第2の絶縁層を形成すれば、上記第2実施例の効果が得られるので、例えばシリコンでなる半導体層を窒化させてSi<sub>3</sub>N<sub>4</sub>の絶縁膜を形成するようにしてもよい。

【0047】更に、上記実施例では、第1の絶縁層を取り除いた後に、積み上げ拡散層14をパタニングしたが、第1の絶縁層を取り除く前に、パタニングしてもよいし、堆積させた直後に薄膜化する際に、パタニングしてもよい。

【0048】また、上記実施例では、側壁絶縁膜を形成した後に、パンチスルーストップ19となる不純物を拡散し、それからゲート酸化膜を形成したが、例えばSi<sub>3</sub>N<sub>4</sub>で成る側壁絶縁膜を設ける場合には、ゲート酸化膜を形成後に側壁絶縁膜を形成してもよいし、またダミーの酸化膜を形成した後、側壁膜をその上に形成し、ダミーのウェットエッチングしてから、あらためてゲート酸化膜を形成してもよい。なお、側壁絶縁膜をゲート酸化膜より先に形成した場合には、この側壁絶縁膜の膜厚で、ゲート長を調節することができるし、ゲート酸化膜を側壁絶縁膜より先に形成する場合には、側壁絶縁膜形成時のエッチバックの際に第1の半導体層の表面が損傷を受けるという恐れが全くないとの効果を得ることができる。なおまた、パンチスルーストップ19の不純物は、ゲート酸化膜が形成された後に、ドーピングしてもよい。

【0049】また、上記実施例では、ゲート電極及びゲート電極形成後に露出している第2の半導体層の表面を一度にシリサイド化したが、ゲート電極及び第2の半導体層のシリサイド化は別々に行なってもよいし、そのシリサイドの種類を同一にせずともよい。

【0050】なお、上記実施例では、N型の半導体装置の製造方法について述べたが、勿論、P型の半導体装置の製造方法にも適用可能で、この場合には、積み上げ拡散層14をP型の不純物を含む半導体層とし、また第1

(8)

13

の半導体層をN型の不純物を含む半導体層とする。

【0051】

【発明の効果】本発明は、以上述べたような形態で実施され、次のような効果を奏する。すなわち、本発明は、ゲート電極（及び側壁絶縁膜）を設けるための溝を、その溝の形状に合わせて先に形成された第1の絶縁層のみを選択的にエッチングすることによって形成するので、チャンネルが形成される第1の半導体層の表面が損傷を受けることがなく、従って、ドレイン電流特性などの特性が良好で、短チャンネル効果を抑制できる半導体装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法によって製造された半導体装置の正面断面図である。

【図2】本発明の第1実施例の半導体装置の製造方法を説明する模式断面図（その1）であり、Aは第1の絶縁層を堆積させた状態を示し、Bは第1の絶縁層を所定の幅に成形した状態を示す。

【図3】本発明の第1実施例の半導体装置の製造方法を説明する模式断面図（その2）であり、Aは第2の半導体層を堆積させた状態を示し、Bは第2の半導体層を所定の厚さに薄膜化した状態を示す。

【図4】本発明の第1実施例の半導体装置の製造方法を説明する模式断面図（その3）であり、Aは第2の絶縁層を形成した状態を示し、Bは第1の絶縁層を選択的にエッチングして溝を形成した状態を示す。

【図5】本発明の第1実施例の半導体装置の製造方法を説明する模式断面図（その4）であり、Aは第2の半導体層及びその上部に形成された第2の絶縁層を所定のパターンに成形した状態を示し、Bは側壁絶縁膜、防止層及びゲート絶縁膜を形成した状態を示す。

【図6】本発明の第1実施例の半導体装置の製造方法を説明する模式断面図（その5）であり、Aはゲート電極及び第1の半導体層にソース領域とドレイン領域とを形

14

成した状態を示し、Bはゲート電極及びこのとき露出している第2の半導体層の表面をシリサイド化した状態を示す。

【図7】本発明の第2実施例の半導体装置の製造方法の主要工程を説明する模式断面図（その1）であり、Aは第1の絶縁層を所定の幅に成形した状態を示し、Bは第2の半導体層を堆積させた状態を示す。

【図8】本発明の第2実施例の半導体装置の製造方法の主要工程を説明する模式断面図（その2）であり、Aは第2の半導体層の上部を化学反応させて第2の絶縁層を形成した状態を示し、Bは第1の絶縁層を選択的にエッチングして溝を形成した状態を示す。

【図9】本発明の変形例の半導体装置の製造方法の主要工程を説明する模式断面図であり、Aは第1の絶縁層、第2の半導体層及び第2の絶縁層を形成した状態を示し、Bは第2の絶縁層をエッチングして第1の絶縁層の上面を露出させた状態を示し、Cは第1の絶縁層を選択的にエッチングして溝を形成した状態を示す。

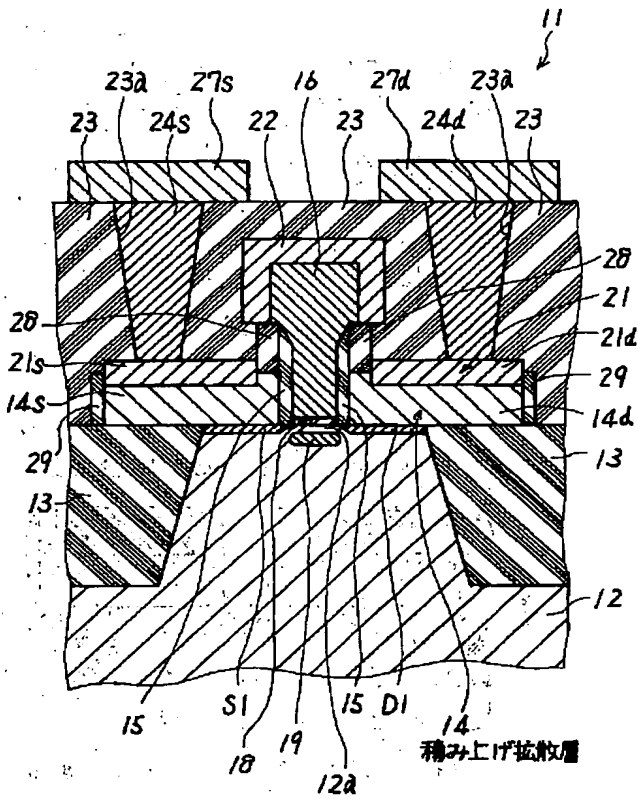
【図10】本発明の従来例の半導体装置の正面断面図であり、Aはゲート電極を形成した後に基板にソース領域及びドレイン領域を形成した半導体装置を示し、Bは、基板にソース領域及びドレイン領域を形成後に、基板をエッチングすることによってソース領域及びドレイン領域とを分けて、ゲート電極を設けるようにした半導体装置を示す。

【符号の説明】

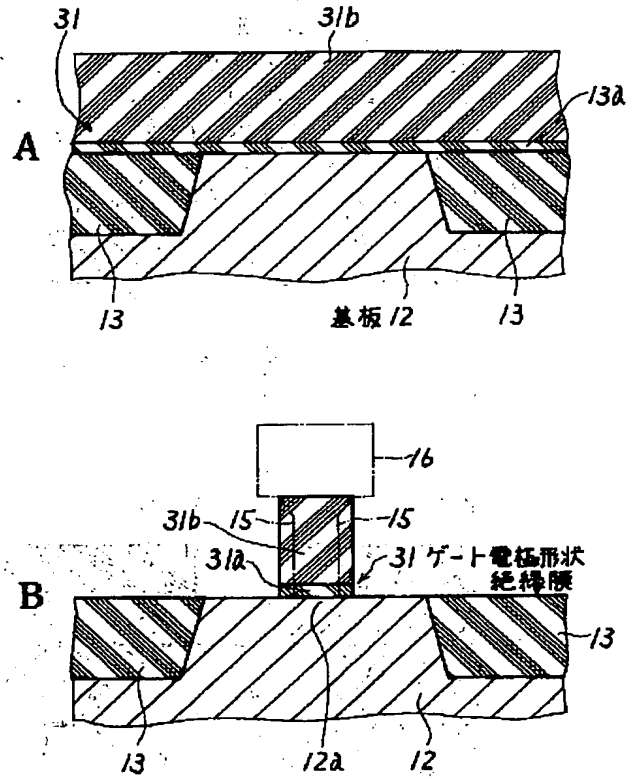
11……半導体装置、12……基板、13……トレンチ素子分離層、14……積み上げ拡散層、14'……半導体層、15……側壁絶縁膜、16……ゲート電極、18……ゲート酸化膜、19……パンチスルーストップ、21、22……シリサイド層、31……ゲート電極形状絶縁膜、32……絶縁膜、33……溝、D1……ドレイン領域、S1……ソース領域。

(9)

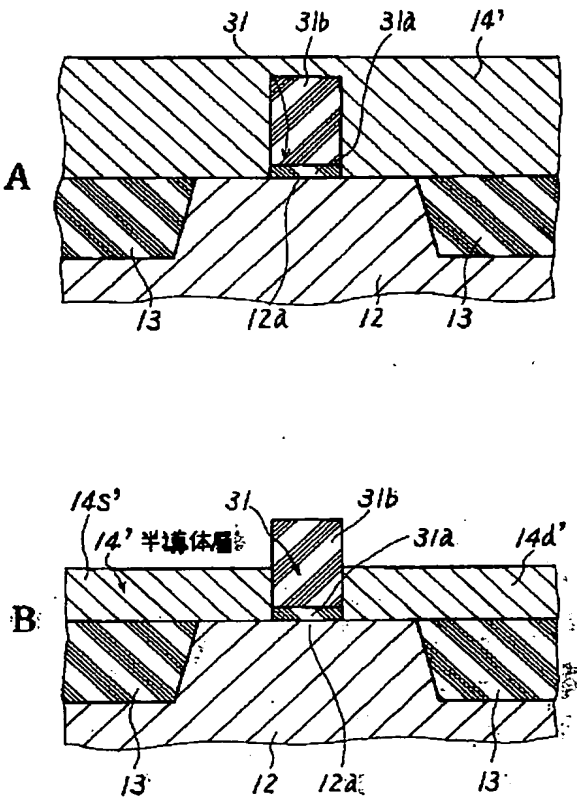
【図1】



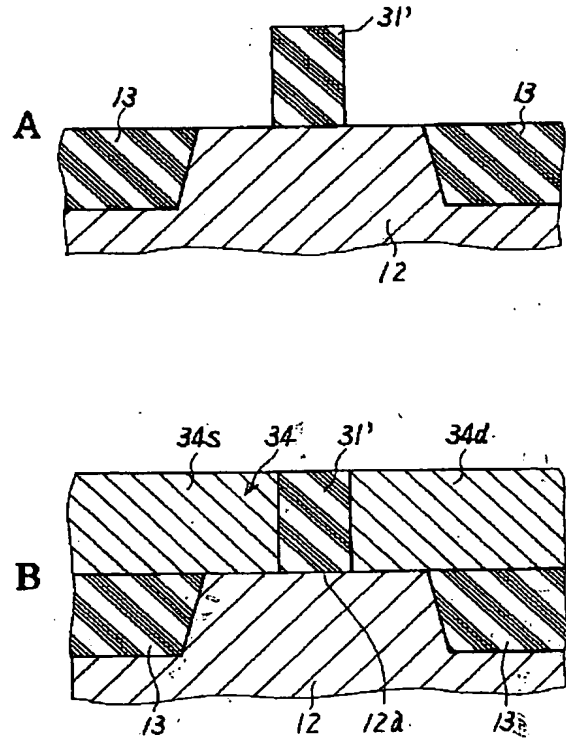
【図2】



【図3】



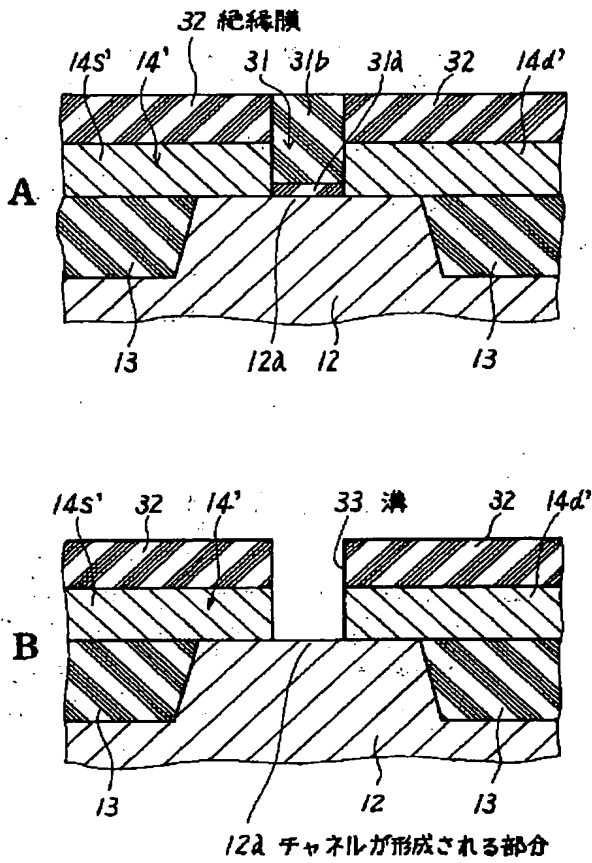
【図7】



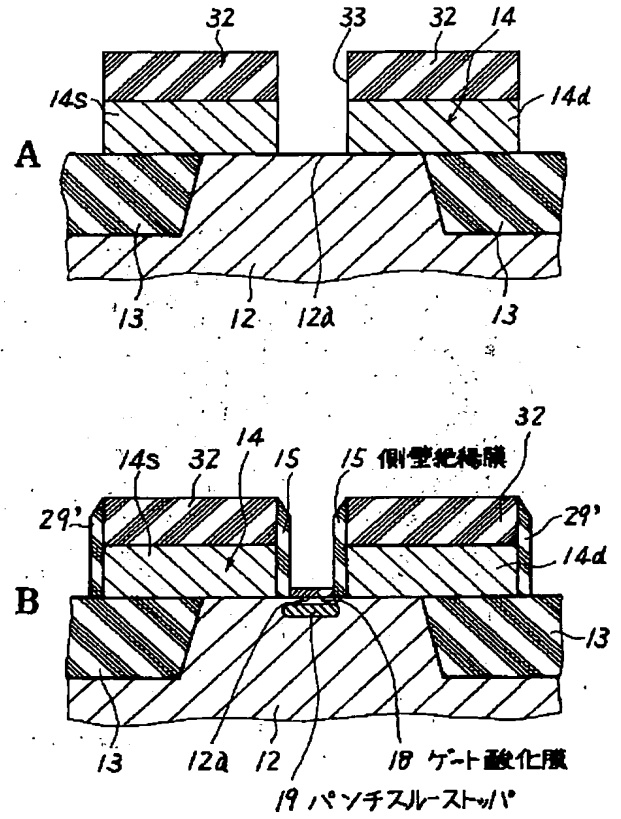


(10)

【図4】

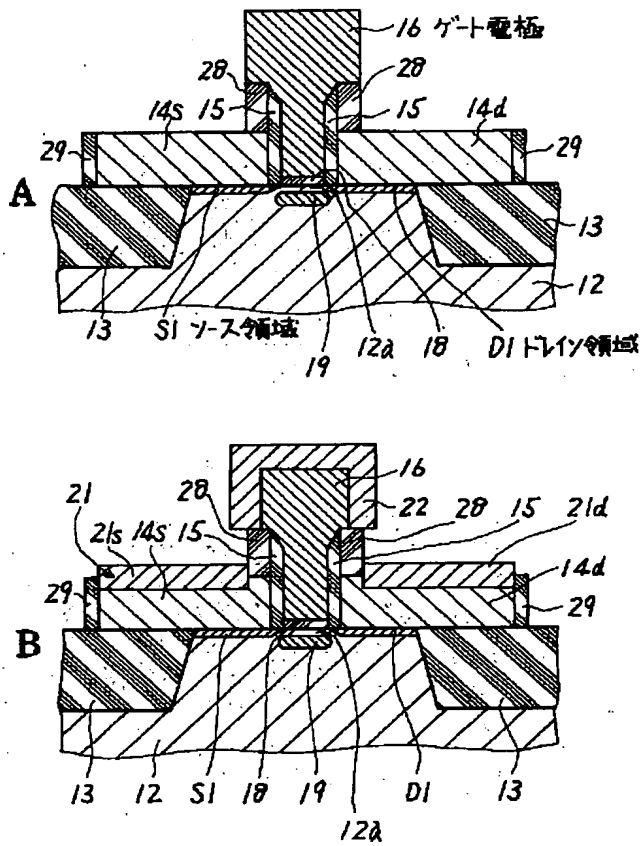


【図5】

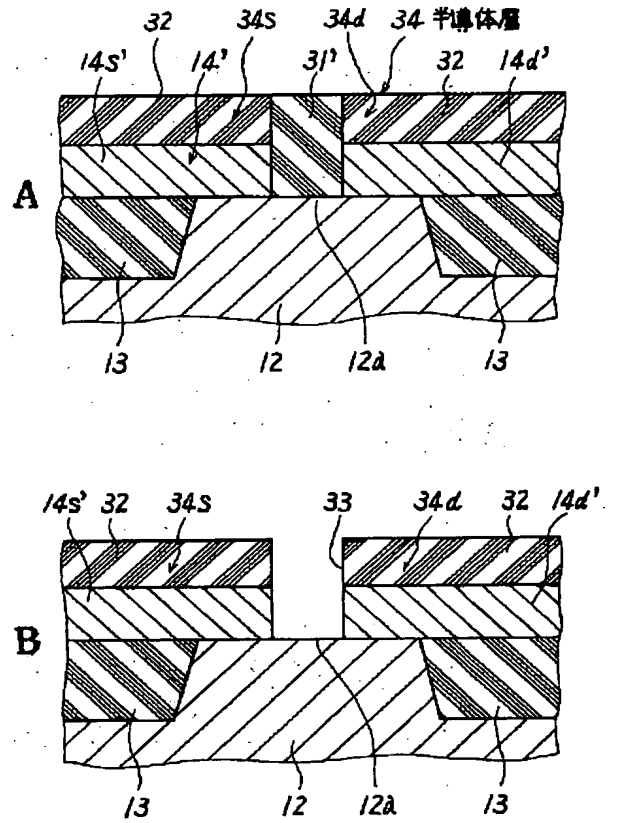


(11)

【図6】

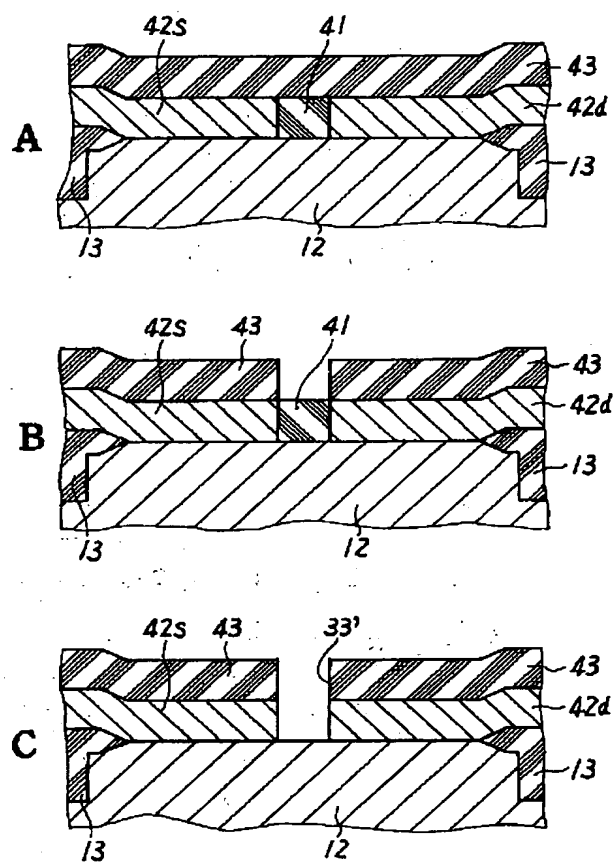


【図8】

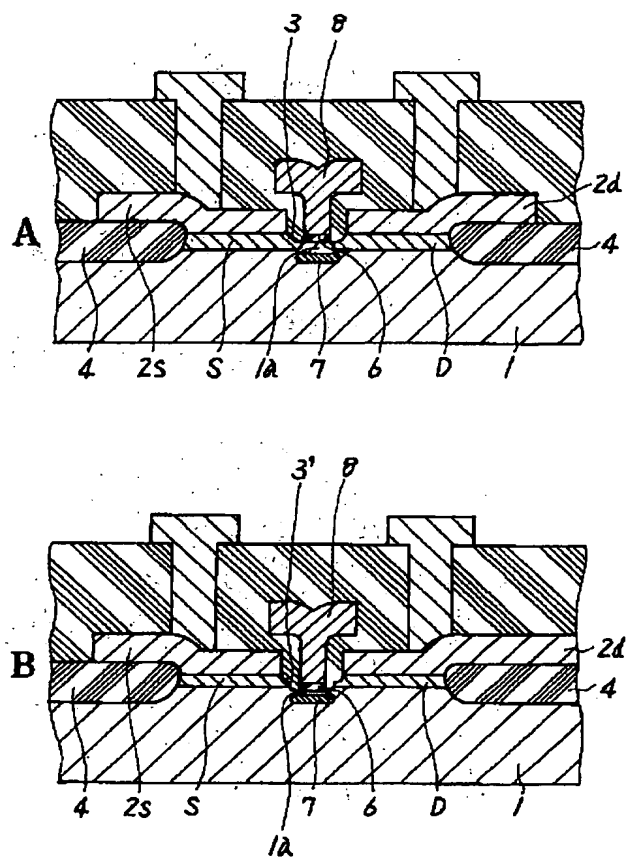


(12)

【図9】



【図10】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**